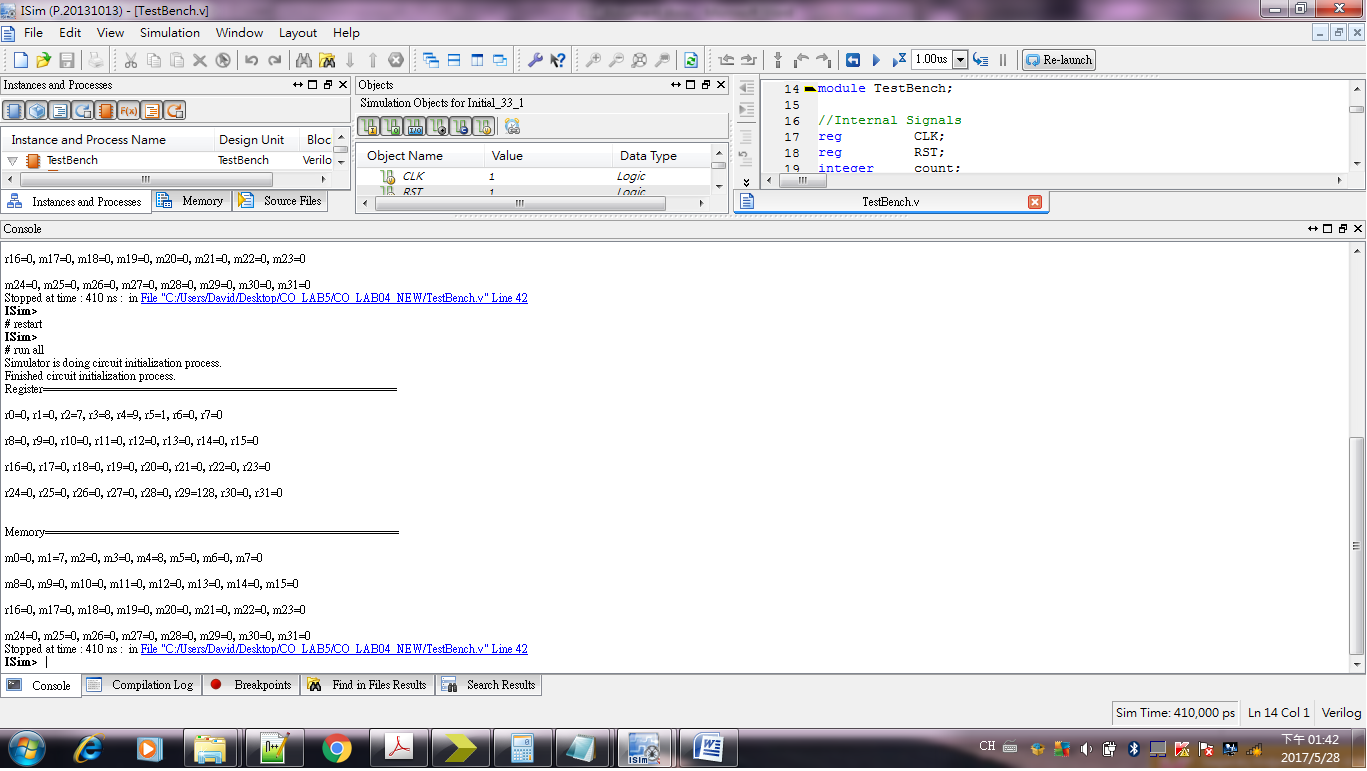
**Computer Organization**

**HDL simulator you used (ModelSim or Xilinx):**

Xininx

**The input fields of each pipeline register:**

****

**Compared with lab4, the extra modules:**

IF ID EX MEM modules

**Problems you met and solutions:**

多了前面幾個module所要接的線更多了，input的東西和output的東西有時候會接錯。

**Summary:**

這次的報告遇到很多時脈的問題，希望經過這次的練習 ，下一次作業會更好上手。